

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月 7日

出 願 番 号
Application Number:

特願2002-230417

[ST.10/C]:

[JP 2002-230417]

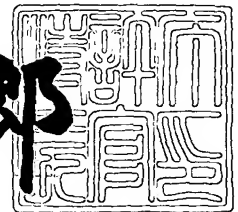
出 願 人
Applicant(s):

ローム株式会社

2003年 6月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047543

【書類名】 特許願

【整理番号】 02-00241

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/66
H03M 3/02

【発明の名称】 ステレオ信号処理用ノイズシェーパ

【請求項の数】 3

【発明者】
【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内
【氏名】 山口 晴久

【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代表者】 佐藤 研一郎

【代理人】
【識別番号】 100110319
【弁理士】
【氏名又は名称】 根本 恵司

【選任した代理人】
【識別番号】 100109977
【弁理士】
【氏名又は名称】 畑川 清泰

【選任した代理人】
【識別番号】 100106806
【弁理士】
【氏名又は名称】 三谷 浩

【手数料の表示】
【予納台帳番号】 066394

特 2 0 0 2 - 2 3 0 4 1 7

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0009874

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ステレオ信号処理用ノイズシェーパ

【特許請求の範囲】

【請求項 1】 2つのチャンネルのステレオ信号が入力される入力手段と、
該 2つのチャンネルのステレオ信号を時分割多重のシリアル信号に変換する手段と、
該シリアル信号が入力されるデルタシグマ変調手段と、
ノイズシェーブされた出力を左右チャンネルに分離して出力する手段と
からなるノイズシェーパ。

【請求項 2】 前記デルタシグマ変調手段は、1 段の又は 2 以上多段に接続
され、入力された信号をデルタシグマ変調する積分手段を備え、
前記積分手段は、
前記シリアル信号が供給される加算手段と、
該加算手段の出力が前記 2つのチャンネルに応じて入力される 2つの記憶手段と、
該 2つの記憶手段の出力のいずれかを前記 2つのチャンネルに応じて時分割で選択
する手段とからなり、
前記選択する手段の出力は前記加算する手段に入力することを特徴とする請求項
1 に記載のステレオ信号処理用ノイズシェーパ。

【請求項 3】 請求項 2 に記載されたノイズシェーパにおいて、
前記 2つの記憶手段が、L チャンネル用クロックで動作する L チャンネル用フリップ
フロップ及び前記クロックとは位相を異にする R チャンネル用クロックで動作する
R チャンネル用フリップフロップであるステレオ信号処理用ノイズシェーパ。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、ステレオ信号処理に用いるデルタシグマ変調器を具備するノイズシェーパに関するもので、特にデルタシグマ変調器に特徴を有するノイズシェーパに関する。

【0 0 0 2】

【従来の技術】

従来からCD、DAT等で再生されるステレオデジタル信号の処理には、オーバーサンプリング技術及びノイズシェーピング技術を用いたDA変換器が用いられている。

図5に、従来のオーバーサンプリング技術及びノイズシェーピング技術を利用したステレオ信号用のDA変換器のブロック図を示す。

図において、2チャンネルのデジタルステレオ信号Cは、LR信号分離回路（以下I/Fブロックという）1で分離され、分離された信号は、以後それぞれ別々に、エイリアシング、量子化雑音の除去を行うn倍オーバーサンプリング回路2、2'、ビット数を低下したデジタル信号を出力し、低域のノイズを低減するノイズシェーパ3、3'、波形を整形してノイズ分を除去する波形整形回路4、4'、低域フィルタリングしてアナログ信号に変換するLPF5、5'を経て、左右チャンネルアナログ信号に変換される。

【0003】

図6は上記ノイズシェーパの従来の回路例である。図中、ノイズシェーパ3は、入力信号をノイズシェーパに取込むための部分である入力部31及びデルタシグマ変調器32からなり、入力されたオーバーサンプリング信号を、デルタシグマ変調処理された信号を出力する。入力部31はフリップフロップ12からなり、デルタシグマ変調器32は、乗算器15、e1、f1、e2、フリップフロップb1、b2、加算器a1、a2、16、及び比較器18から構成される。

【0004】

このように、従来のステレオ信号用DA変換器においては、ノイズシェーパとして左右チャンネル用にそれぞれ別々のノイズシェーパを設けており、ノイズシェーパには多くの部品が必要であるため、製造コストが高く、回路上の占有スペースの点からも問題があった。さらに、消費電力の点からみても、電源、メインクロックを2つのノイズシェーパが独立して使うので、消費電力も大きいという問題があった。

【0005】

【発明が解決しようとする課題】

この発明は上記の問題を解決するためになされたもので、その目的は、ステレオ信号を処理するためのノイズシェーパの製造コストを削減し、回路上の占有面積を削減し、ノイズシェーパの消費電力の低減を図るものである。また、他の目的はステレオ信号処理の代わりにモノラル信号処理を行う時に、消費電力を低減することである。

【 0 0 0 6 】

【課題を解決するための手段】

請求項 1 の発明は、 2 つのチャンネルのステレオ信号が入力される入力手段と、該 2 つのチャンネルのステレオ信号を時分割多重のシリアル信号に変換する手段と、該シリアル信号が入力されるデルタシグマ変調手段と、ノイズシェーブされた出力を左右チャンネルに分離して出力する手段とからなるノイズシェーパである。

請求項 2 の発明は、前記デルタシグマ変調手段は、 1 段の又は 2 以上多段に接続され、入力された信号をデルタシグマ変調する積分手段を備え、前記積分手段は、前記シリアル信号が供給される加算手段と、該加算手段の出力が前記 2 つのチャンネルに応じて入力される 2 つの記憶手段と、該 2 つの記憶手段の出力のいずれかを前記 2 つのチャンネルに応じて時分割で選択する手段とからなり、前記選択する手段の出力は前記加算する手段に入力することを特徴とする請求項 1 に記載のステレオ信号処理用ノイズシェーパである。

請求項 3 の発明は、請求項 2 に記載されたノイズシェーパにおいて、前記 2 つの記憶手段が、 L チャンネル用クロックで動作する L チャンネル用フリップフロップ及び前記クロックとは位相を異にする R チャンネル用クロックで動作する R チャンネル用フリップフロップであるステレオ信号処理用ノイズシェーパである。

【 0 0 0 7 】

【発明の実施の形態】

次に本発明の実施形態を図面を参照して説明する。図中、従来技術の説明で用いた図 5 乃至 7 における部分と同一の部分には同一の符号を付与している。

図 1 は本発明の実施形態に係るノイズシェーパを適用した D A 変換器の回路ブロックである。

図 1 において、 D A 変換器は、デジタルステレオ信号 C が供給される L R 信号

分離回路（以下I/Fブロックという）1と、I/Fブロック1からの分離された出力Lチャンネル信号とRチャンネル信号とがそれぞれ供給されるn倍オーバーサンプリング回路2、2'と、オーバーサンプリングされた左右チャンネル信号がそれぞれ供給されるノイズシェーパ3と、ノイズシェーブされた左右チャンネル信号がそれぞれ供給される波形整形回路4、4'と、該波形整形回路からの波形整形出力がそれぞれ供給されるLPF5、5'と、メインクロックからノイズシェーパ3に用いられる各種制御信号を生成する制御信号生成部4とを備える。

【0008】

このDA変換器の動作について、信号の波形図を示す図2を参照して説明すると、I/Fブロック1は、LR分離信号がハイの時、左チャンネル信号を取り込み、ローの時右チャンネル信号を取込むことによりデジタルステレオ信号Cを左右の信号に分離する。なお、ビットクロックは、信号Lch及びRchをそれぞれ取込むタイミングを決めている。こうして取込まれた信号Lch、Rchは、次段のオーバーサンプリング回路2、2'に入力され、エイリアシング、量子化ノイズを減少させるためにサンプリング周波数を上げたデータ信号E、Fを生成し、次段のノイズシェーパに供給する。なお、図2において8倍のオーバーサンプリングの例を示したが、これは1例であって、8倍に限定されず、16倍、64倍、128倍等々n倍のオーバーサンプリングであってもよいことは当業者にとって明らかである。

ノイズシェーパ3は、制御信号生成部により生成された信号を用いてこれらデータ信号E、Fを時分割多重したうえで、LR時分割信号J、LチャンネルクロックG、RチャンネルクロックHによって、低域のノイズを低減させた分離信号K、Lを生成し、波形整形回路4、4'、LPF5、5'に供給する。

波形整形回路4、4'では、ノイズを減少させるために分離信号K、Lの波形整形を行い、次にLPF5、5'は低域フィルタリングしてアナログ信号に変換する。

【0009】

本発明の実施形態であるノイズシェーパ3の回路図である図3を参照すると、本発明のノイズシェーパ3は、入力部31、デルタシグマ変調器32から構成さ

れている。入力部 3 1 は前段のオーバーサンプリング回路からの左右チャンネル出力 E, F が入力されるセレクタ 1 0、1 1、このセレクタの出力を保持するフリップフロップ 1 2、1 3、及びフリップフロップ 1 2、1 3 の出力を選択出力するセレクタ 1 4 から構成されている。

【 0 0 1 0 】

また、デルタシグマ変調器 3 2 は、入力された信号を積分するデルタシグマ変調部と、デルタシグマ変調された出力を L チャンネル信号と R チャンネル信号に分離して出力する出力部とから構成されている。

前記デルタシグマ変調部は、第 1 及び第 2 の積分器が縦続接続されてなり、第 1 の積分器は、前記乗算器 1 5 を経て信号が供給される第 1 の加算器 a 1 と、第 1 の加算器 a 1 からの信号が供給される L チャンネル用クロック G で動作する L チャンネル用フリップフロップ b 1 及び前記クロックとは位相を異にする R チャンネル用クロック H で動作する R チャンネル用フリップフロップ c 1 と、前記フリップフロップ b 1、c 1 の出力を選択するセレクタ d 1 とを具備し、セレクタ d 1 の出力は前記加算器 a 1 に帰還してなる。

【 0 0 1 1 】

この第 1 の積分器に縦続接続する第 2 の積分器は、第 1 の積分器からの入力供給される第 1 の加算器 a 2 と、第 1 の加算器 a 2 からの信号が供給される L チャンネル用クロック G で動作する第 2 の L チャンネル用フリップフロップ b 2 及び前記クロックとは位相を異にする R チャンネル用クロック H で動作する第 2 の R チャンネル用フリップフロップ c 2 と、前記フリップフロップ b 2、c 2 の出力を選択する第 2 のセレクタ d 2 とを具備し、セレクタ d 2 の出力は前記第 2 の加算器 a 2 に帰還してなる。

【 0 0 1 2 】

第 2 の積分出力は乗算器 e 2 を経て、前記第 1 の積分器の出力が乗算器 f 1 で乗算された信号と加算器 1 6 で加算され、この加算出力は比較器 1 7 に供給される。比較器 1 7 の出力は前記第 1 の加算器 a 1 にフィードバックされると共に、フリップフロップ 1 8、1 9 からなる出力部において L チャンネル信号 K と R チャンネル信号 L に分離される。

【 0 0 1 3 】

次に、前記のように構成されたノイズシェーバ 3 の動作を説明する。

入力部 3 1 において、セクタ 1 0, 1 1 はロード信号 I を用いて前段でオーバーサンプリングされたデータ信号 E, F を取込む。該ロード信号 I は図 2 に示されるデータの期間 T のうち期間 P でハイ、期間 Q でローになる信号で、ロード信号がハイの時ノイズシェーバ 3 にデータが取込まれ、ローの時入力部 3 1 でデータの取込みを止め、ノイズシェーバ 3 においてデータがデルタシグマ変調処理されるものである。前記データ信号 E, F は制御信号生成部 4 で生成された L チャンネルクロック G, R チャンネルクロック H によってフリップフロップ 1 2, 1 3 に取込まれる。

入力部のセクタ 1 4 からはロード信号 I で取込まれた L チャンネル信号、R チャンネル信号がシリアルなデジタルステレオ信号として出力される。つまり、入力部 3 1 により、データ E, F がシリアルな時分割多重されたデジタルステレオ信号に変換される。

【 0 0 1 4 】

次にデルタシグマ変調器 3 2 の動作を説明する。変調器 3 2 を構成する各積分器において、L R 時分割信号 J がローの期間、セクタ d 1, d 2 において L チャンネル処理用端子 M が選択され、L チャンネルクロック G の立ち上がりタイミングで L チャンネルデータ信号 E が取込まれ又は積分され、その結果は L チャンネル用フリップフロップ b 1, b 2 に保持される。つまり、L R 時分割信号 J がローの時 (P 1)、デルタシグマ変調器 3 は L チャンネルデータをデルタシグマ変調する回路として動作する。同様に、L R 時分割信号 J がハイの期間 (P 2)、デルタシグマ変調器 3 は R チャンネルデータをデルタシグマ変調する回路として動作する。

【 0 0 1 5 】

こうして処理された信号は、左右チャンネルクロック G, H によって、フリップフロップ 1 8, 1 9 によって左右分離された信号 K, L として出力される。

このように、本発明のノイズシェーバは、L R 時分割信号 J と、L チャンネルクロック G と R チャンネルクロック H によって時分割に動作するものである。

なお、モノラル処理を行う場合は、L クロック、R クロックのどちらか一方を

止めることにより実現できる。

【 0 0 1 6 】

前記制御信号を生成する制御信号生成部 4 の回路構成を示した図 4 を参照すると、制御信号生成部 4 はメインクロック D が C 端子に、Q 端子からのフィードバックが D 端子に供給される D 型フリップフロップ 1 4、カウンタ 1 7、メインクロック D とフリップフロップの Q 端子からの出力が供給される O R 回路 1 6、及びメインクロック D とフリップフロップの Q B 端子からの出力が供給される O R 回路 1 5 から構成されており、L R 時分割信号 A、L チャネルクロック G、R チャネルクロック H 及びロード信号 I を出力とするものである。なおリセット信号 R はフリップフロップ 1 4 とカウンタ 1 7 をリセットするものである。

【 0 0 1 7 】

既に説明した図 5 に示す従来の D A 変換器の回路ブロックと、図 1 に示す本発明に係る回路ブロックとを対比して明らかなように、ステレオ信号のノイズシェーパを行うのに、従来は、2 つの同一のノイズシェーパを具備していたのに対して、本発明は、1 つのノイズシェーパを具備する点に特徴を有するものである。

なお、本実施の形態において、デルタシグマ変調器の次数は 2 次としたが、2 次に限らず、何次であってもよい。一般に高次ほどノイズシェーパとしての特性がよいことが知られている。

【 0 0 1 8 】

また、従来のノイズシェーパの入力部 3 1 は、フリップフロップ 1 つからなる回路（入力部は 2 つあるからフリップフロップを 2 個設けていた）であったが、本発明のノイズシェーパの入力部 3 1 は 5 つの回路要素（フリップフロップを 2 つ、セレクタを 3 つ設ける）からなる回路であって、構成する部品数も本発明の方が多。しかし、次数の高いノイズシェーパでは、デルタシグマ変調器 3 2 において重複を排除できる部品数が増えるので、本発明における部品数の低減効果が大きいことは明らかである。

【 0 0 1 9 】

【発明の効果】

本発明は 1 つのステレオ信号用ノイズシェーパにおいて左右チャネル信号を時

分割に処理するようにしたので、従来の2つのノイズシェーパと比して、回路上重複する加算器、乗算器等のハードウェアを削減でき、消費電力も低減でき、回路上の占有面積を減らすことができるので回路をさらに小型化できる。

特にDA変換器にこれを用いる時は、デルタシグマ変調器の次数が高いほどDA変換器の特性がよくなることが知られているが、次数の大きいデルタシグマ変調器では、加算器、乗算器の個数を大幅に削減できる。

さらに、モノラル処理を行う場合は、Lクロック、Rクロックのどちらか一方を止めることにより実現でき、モノラル時のクロックの消費電力はステレオ時の消費電力の半分程度に低減できる。

【図面の簡単な説明】

【図1】本発明の実施形態であるステレオ信号処理用ノイズシェーパを構成要素とするDA変換器の回路ブロックである。

【図2】本発明の実施形態であるノイズシェーパにおける信号の波形図である。

【図3】本発明の実施形態であるノイズシェーパの回路図である。

【図4】図1のDA変換器の構成要素である制御信号生成部の回路ブロックである。

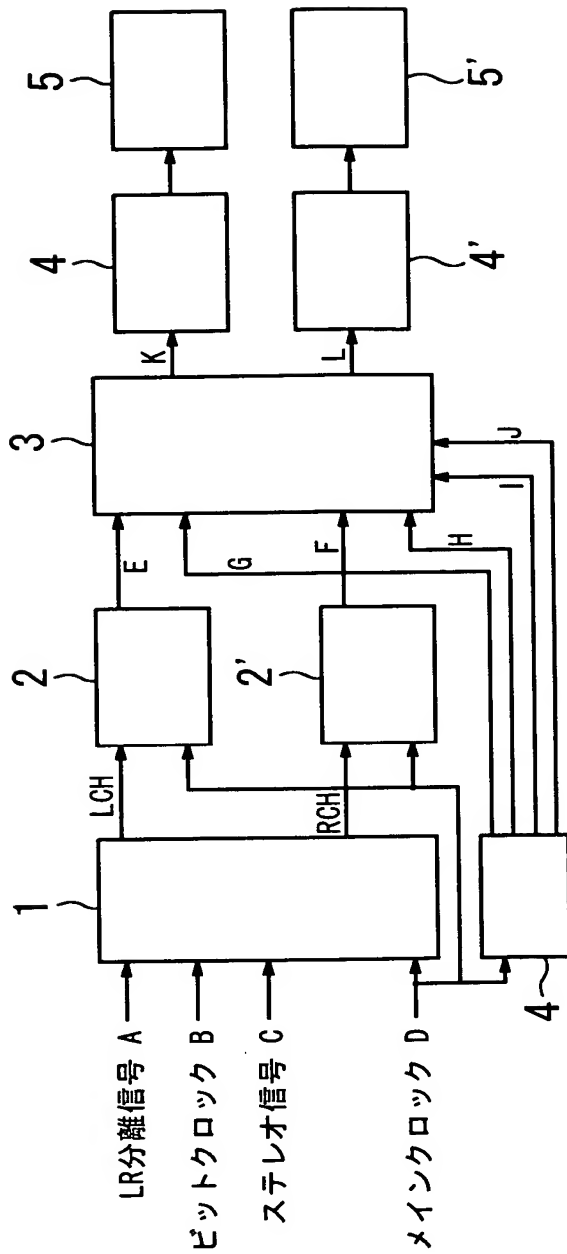
【図5】従来のDA変換器の回路ブロックである。

【図6】従来のノイズシェーパの回路図である。

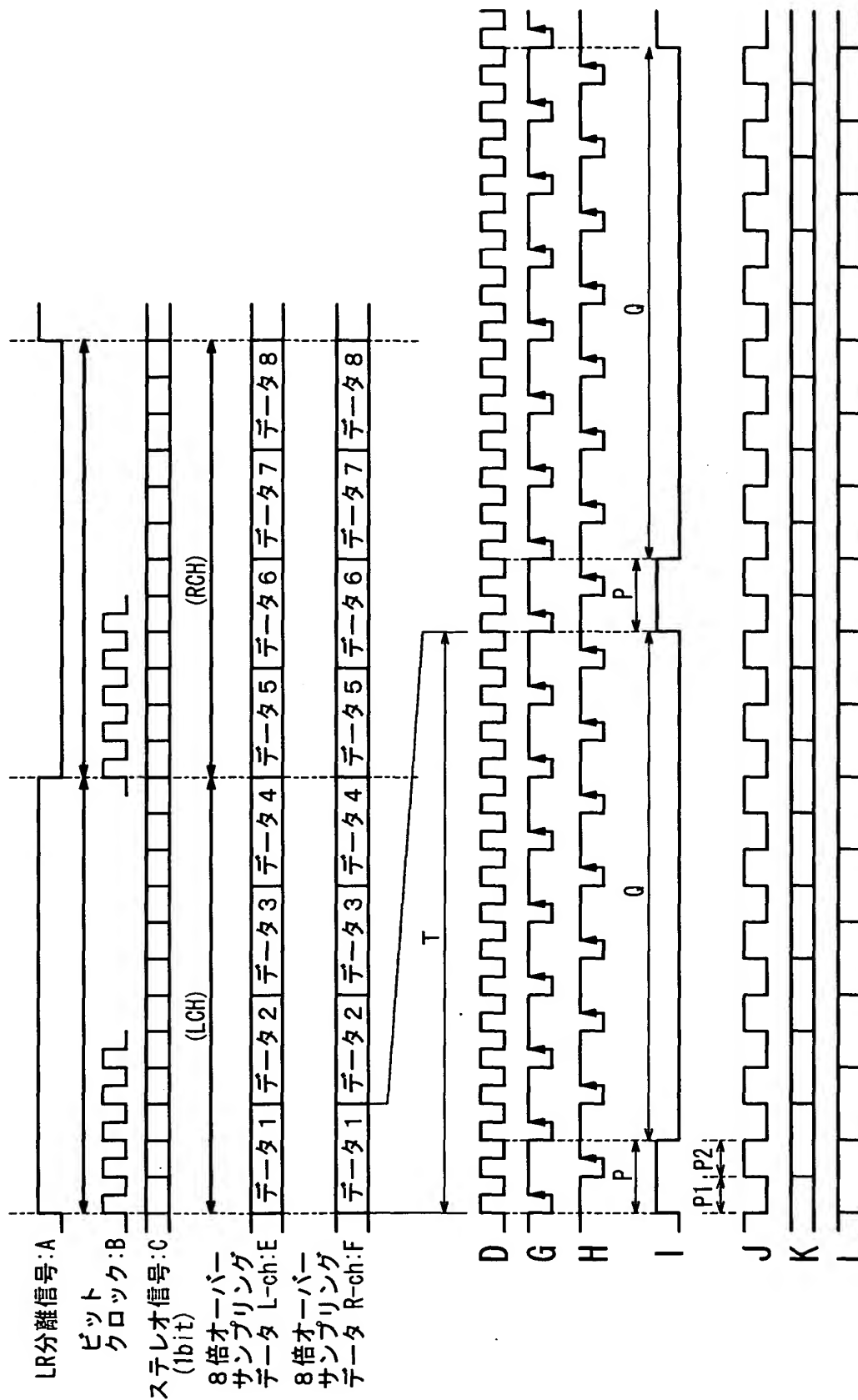
【符号の説明】 1・・・LR信号I/Fブロック、2・・・オーバーサンプリング回路、3・・・ノイズシェーパ、6・・・制御信号生成部、10、11、14、d1、d2・・・セレクタ、12、13、b1、b2、c1、c2・・・フリップフロップ、a1、a2、16・・・加算器、17・・・比較器

【書類名】 図面

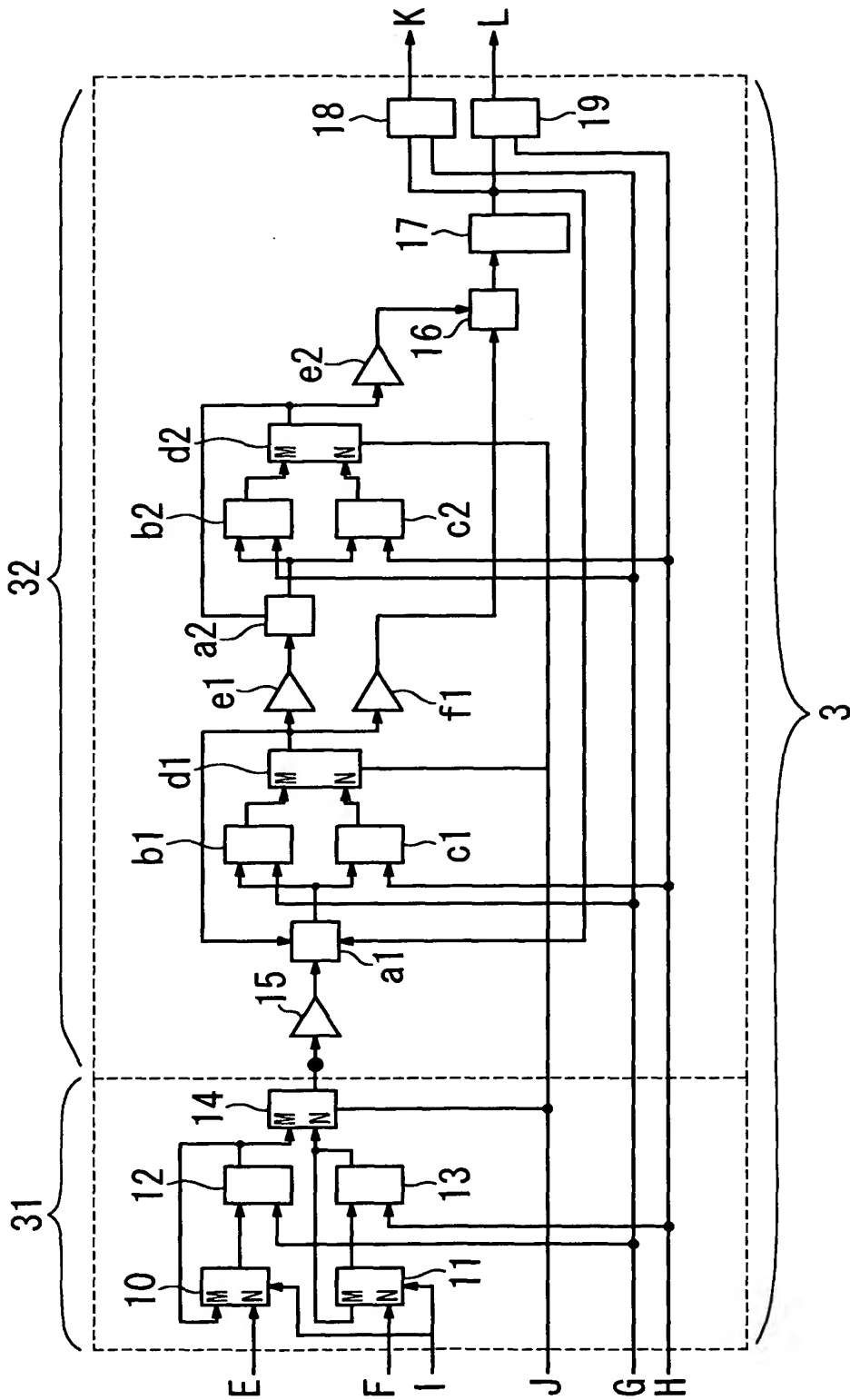
【図 1】



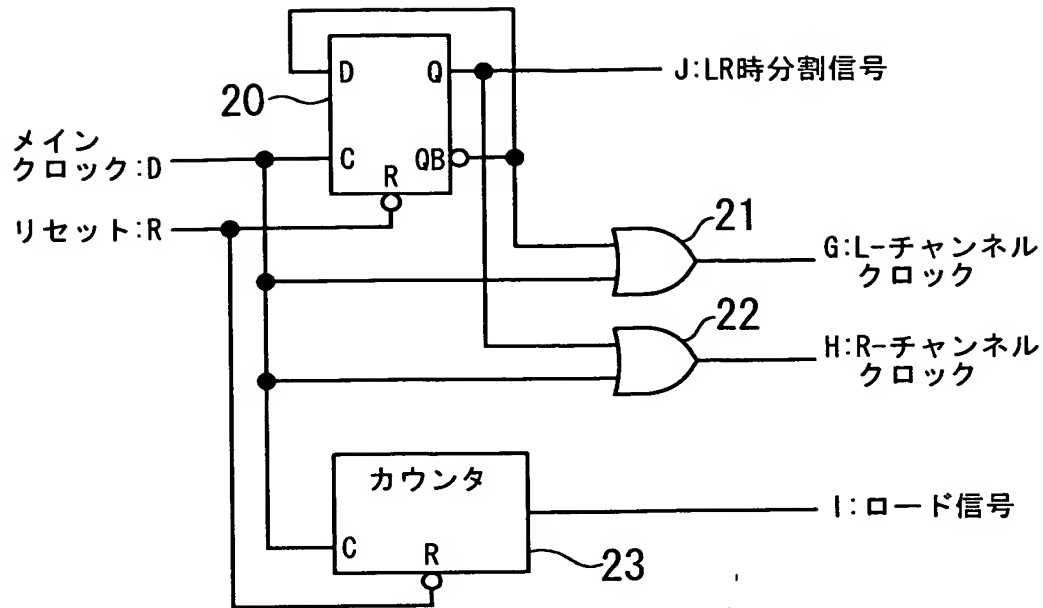
【図 2】



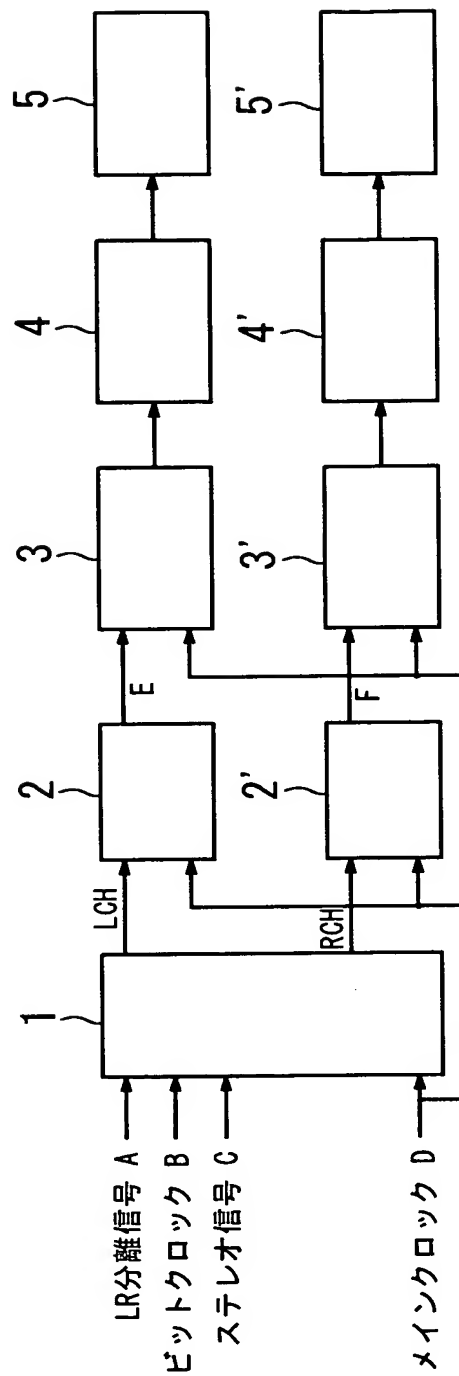
【図 3】



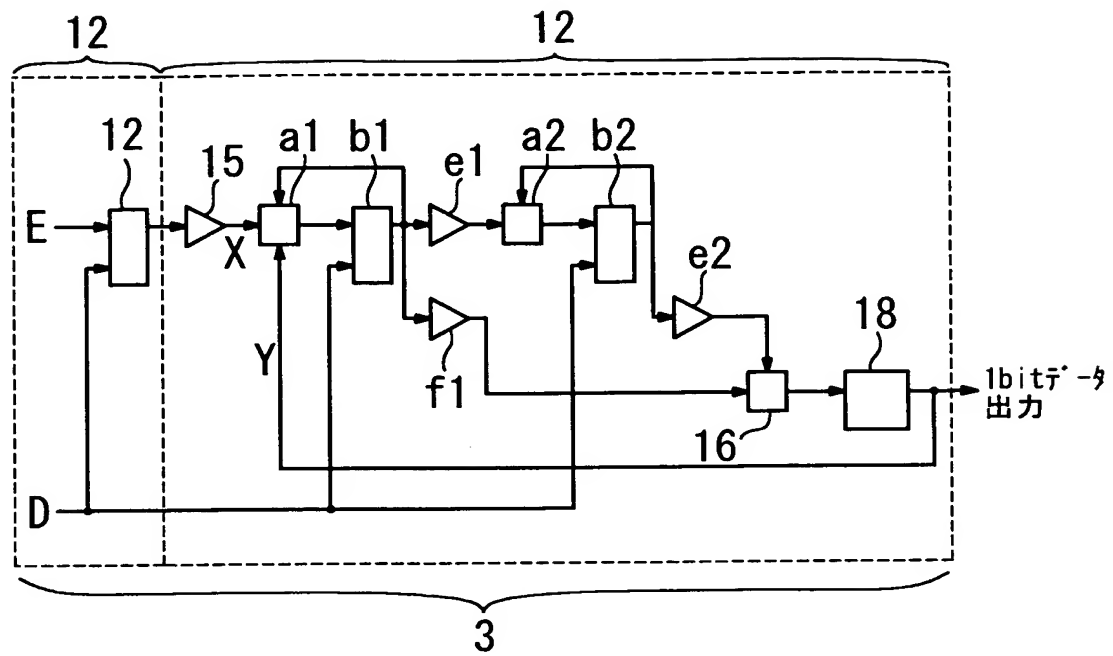
【図 4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 ステレオ信号処理用ノイズシェーパの製造コストを削減し、回路の占有面積を削減し、該ノイズシェーパの消費電力を低減すること。

【解決手段】 シリアルなステレオデジタル信号を時分割に処理するため、ノイズシェーパを、ステレオ信号が入力され多重信号に変換する変換部、入力された信号を積分する積分器が多段に接続されたデルタシグマ変調する積分手段と、ノイズシェーブした信号を左右チャンネルに分離して出力する手段とをもって構成し、前記積分器は、加算する手段と、該加算する手段の出力が入力される2つの記憶する手段と、該2つの記憶手段の出力のいずれかを時分割で選択する手段とを有し、前記選択された出力が前記加算する手段に帰還してなる構成とする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社